



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
TANI)
Application Number: 10/671,476)
Filed: September 29, 2003)
For: POWER CIRCUIT)
ATTORNEY DOCKET NO. TESD.0022)

Honorable Assistant Commissioner for Patents
Washington, D.C. 20231

LETTER

Sir:

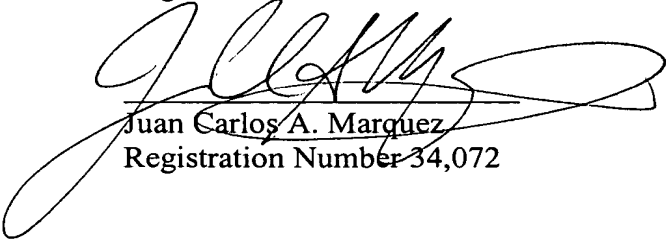
The below-identified communications are submitted in the above-captioned application or proceeding:

- | | |
|--|---|
| <input checked="" type="checkbox"/> (X) Priority Documents ONE (1) | |
| <input checked="" type="checkbox"/> (X) Request for Priority | <input type="checkbox"/> () Assignment Document |
| <input type="checkbox"/> () Response to Missing Parts | <input type="checkbox"/> () Petition under 37 C.F.R. 1.47(a) |
| w/ signed Declaration | <input type="checkbox"/> () Check for _____ |

- ☒ [X] The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to **Deposit Account Number 08-1480**. A duplicate copy of this sheet is attached.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344



Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 2, 2004



THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
TANI)
Application Number: 10/671,476)
Filed: September 29, 2003)
For: POWER CIRCUIT)
ATTORNEY DOCKET NO. TESD.0022)

Honorable Assistant Commissioner For Patents
Washington, D.C. 20231

REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION

Sir:

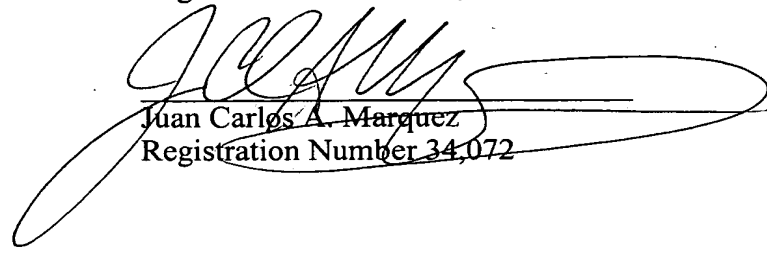
In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of September 27, 2002, the filing date of the corresponding Japanese patent application 2002-282662.

A certified copy of Japanese patent application 2002-282662 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 2, 2004



Juan Carlos A. Marquez
Registration Number 34,072

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 7 日
Date of Application:

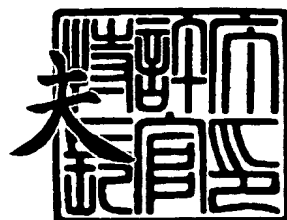
出 願 番 号 特 願 2 0 0 2 - 2 8 2 6 6 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 2 6 6 2]

出 願 人 オリオン電機株式会社
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 5 8 1 2 3

【書類名】 特許願

【整理番号】 P020927SK

【提出日】 平成14年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/338

【発明者】

 【住所又は居所】 福井県武生市家久町 4 1 - 1
 オリオン電機株式会社内

 【氏名】 谷 克彦

【特許出願人】

 【識別番号】 390001959

 【氏名又は名称】 オリオン電機株式会社

【代理人】

 【識別番号】 100077780

 【弁理士】

 【氏名又は名称】 大島 泰甫

【選任した代理人】

 【識別番号】 100106024

 【弁理士】

 【氏名又は名称】 稗苗 秀三

【選任した代理人】

 【識別番号】 100106873

 【弁理士】

 【氏名又は名称】 後藤 誠司

【選任した代理人】

 【識別番号】 100108165

 【弁理士】

 【氏名又は名称】 阪本 英男

【手数料の表示】

【予納台帳番号】 006758

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0203312

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 変圧器を備える電源回路であって、

前記変圧器の一次側に第一のコイルと第二のコイルと第三のコイルが設けられ、前記第一のコイルはパルス電圧に基づく電力を出力する電力源よりパルス電圧が印加されるものであり、前記第二のコイルと第三のコイルは、各々の一方の端子が共通して接地されるとともに、各々の他方の端子に向かってコイルを巻回する方向が互いに逆向きとされ、かつ第二のコイルと第三のコイルの巻数を異ならせてあり、

前記変圧器の二次側に前記一次側の第一のコイル、第二のコイル及び第三のコイルに対応させた複数のコイルが設けられており、

前記変圧器の一次側には、前記第一のコイルと直列関係に接続され前記変圧器への電力の入力を制御するためのパワースイッチング素子と、前記第二のコイルの他方の端子に順方向に接続されるダイオードを介して出力された電圧を積分する第一の積分回路と、前記第三のコイルの他方の端子に順方向に接続されるダイオードを介して出力された電圧を積分する第二の積分回路と、前記第一の積分回路の出力と第二の積分回路の出力と所定の設定値とに基づいて前記第二のコイル及び第三のコイル間の電圧状態の異常を検出する異常検出手段とが設けられており、

前記パワースイッチング素子が導通状態とされると、前記第一のコイルにパルス電圧が印加されることにより前記変圧器に電力が入力されるとともに、

前記異常検出手段が前記第二のコイル及び第三のコイル間の電圧状態の異常を検出すると、前記パワースイッチング素子が非導通状態とされ、前記変圧器への電力の入力が停止されるように構成された電源回路。

【請求項 2】 前記変圧器の一次側には、前記パワースイッチング素子の動作を制御するための第一のスイッチング素子が設けられ、

前記パワースイッチング素子は、電流が入力される入力端子及び電流を出力する出力端子が前記第一のコイルに直列になるように接続され、導通状態と非導通

状態を制御するための制御端子が、前記第二のコイルの他方の端子より制御電圧が入力されるように接続されるとともに、前記第一のスイッチング素子を介して接地に接続されており、

前記異常検出手段が前記異常を検出すると、前記第一のスイッチング素子が導通状態とされ、前記パワースwitching素子の制御端子を前記導通状態とされた第一のスイッチング素子によって接地することにより、前記パワースwitching素子が非導通状態とされるように構成された電源回路。

【請求項3】 前記異常検出手段としてツェナーダイオードが設けられており、前記第二のコイル及び第三のコイル間の電圧状態に異常を生ずると、前記ツェナーダイオードが逆方向に導通し、該逆方向に導通したツェナーダイオードが電圧を出力することによって前記第一のスイッチング素子を導通状態とするように構成された請求項2に記載の電源回路。

【請求項4】 前記変圧器の一次側には、前記第一のスイッチング素子の導通状態を制御するための第二のスイッチング素子が設けられており、

該第二のスイッチング素子は、前記ツェナーダイオードが前記第二のコイル及び第三のコイル間の電圧状態の異常を検出して電圧を出力すると、導通状態とされるように接続されており、

該導通状態とされた第二のスイッチング素子によって前記第一のスイッチング素子が導通状態とされる請求項3に記載の電源回路。

【請求項5】 前記第一のスイッチング素子がトランジスタである請求項1乃至4のいずれかに記載の電源回路。

【請求項6】 前記第二のスイッチング素子がトランジスタである請求項4又は5に記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、変圧器を備える電源回路に関する。

【0002】

【従来の技術】

変圧器を備える電源回路は、変圧器の一次側に供給された電力を一次側のコイルと二次側のコイルの巻線比に従って二次側に供給し、二次側に接続される電気機器等の負荷に電力を供給する。

【0003】

そして、この電源回路には、変圧器の二次側でコイルやその他の回路の短絡を生じた場合に、これを検出して変圧器の一次側への電力の供給を停止させて電源を保護するための回路が設けられている。

【0004】

この電源を保護するための回路として、例えば特開平7-227083号公報に開示されるものがある。前記公報に開示される保護回路では、変圧器の一次側にフォトカプラの受光素子を設けるとともに、変圧器の二次側にフォトカプラの発光素子を設けている。

【0005】

そして、変圧器の二次側で短絡を生ずると、フォトカプラの発光素子が発光を生ずる。そして、変圧器の一次側に設けられるフォトカプラの受光素子が前記発光素子の発光を受光すると、変圧器の一次側への電力の供給が停止されるようにされている。

【0006】

これにより、変圧器の二次側に短絡を生じた場合に、電力の供給を停止し、電源回路を構成する半導体素子等が損傷する等を防ぐことができるようにされている。

【0007】

【発明が解決しようとする課題】

しかし、前記特開平7-227083号公報に開示される回路によると、上述のように変圧器の一次側に受光素子を設け、変圧器の二次側に発光素子を設けなければならない。

【0008】

従って、電源を保護するための回路要素を変圧器の一次側と二次側の双方に設けなければならない、多くのスペースを必要とし、電源回路をコンパクトにできな

かった。

【0009】

そこで、本発明は、電源回路を保護するための回路を設けるスペースを低減することができ、かかる回路をコンパクトにすることにより、コンパクトに構成することができる電源回路を提供することを目的にする。

【0010】

【課題を解決するための手段】

上記課題を解決するため、本発明は、変圧器を備える電源回路であって、前記変圧器の一次側に第一のコイルと第二のコイルと第三のコイルが設けられ、前記第一のコイルはパルス電圧に基づく電力を出力する電力源よりパルス電圧が印加されるものであり、前記第二のコイルと第三のコイルは、各々の一方の端子が共通して接地されるとともに、各々の他方の端子に向かってコイルを巻回する方向が互いに逆向きとされ、かつ第二のコイルと第三のコイルの巻数を異ならせてあり、

前記変圧器の二次側に前記一次側の第一のコイル、第二のコイル及び第三のコイルに対応させた複数のコイルが設けられており、

前記変圧器の一次側には、前記第一のコイルと直列関係に接続され前記変圧器への電力の入力を制御するためのパワースイッチング素子と、前記第二のコイルの他方の端子に順方向に接続されるダイオードを介して出力された電圧を積分する第一の積分回路と、前記第三のコイルの他方の端子に順方向に接続されるダイオードを介して出力された電圧を積分する第二の積分回路と、前記第一の積分回路の出力と第二の積分回路の出力と所定の設定値とに基づいて前記第二のコイル及び第三のコイル間の電圧状態の異常を検出する異常検出手段とが設けられており、

前記パワースイッチング素子が導通状態とされると、前記第一のコイルにパルス電圧が印加されることにより前記変圧器に電力が入力されるようにされるとともに、

前記異常検出手段が前記第二のコイル及び第三のコイル間の電圧状態の異常を検出すると、前記パワースイッチング素子が非導通状態とされ、前記変圧器への

電力の入力が停止されるように構成された電源回路である（請求項1）。

【0011】

本発明の電源回路によると、前記変圧器の一次側に設けられる第二のコイル及び第三のコイルには、これらに誘導される電圧間の位相差が180度となる電圧が形成される。

【0012】

そして、第二のコイル及び第三のコイルには、これらコイルの巻数が異なることにより、一方のコイルに誘導される電圧は他方のコイルに誘導される電圧より波高値の大きい電圧に形成される。

【0013】

そして、本発明の電源回路が正常に動作している場合には、前記変圧器の一次側の前記第二のコイルと第三のコイル間には、所定の電圧差の状態が形成される。

【0014】

そして、変圧器の二次側に短絡を生ずると、変圧器の二次側と磁氣的に結合して動作している前記一次側の第二のコイルと第三のコイル間の電圧状態に変動を生じ、第二のコイルと第三のコイル間の電圧状態の異常を生ずる。

【0015】

そして、第二のコイルと第三のコイル間の電圧状態の異常は、前記異常検出手段によって検出される。異常検出手段は、第二のコイル及び第三のコイル間の電圧状態の異常を、前記第一の積分回路による積分値と第二の回路による積分値とに基づいて検出する。

【0016】

異常検出手段が異常を検出すると、前記パワースイッチング素子が非導通状態とされ、パワースイッチング素子が接続される変圧器の第一のコイルに電流を導通させることができず、変圧器への電力の入力が停止される。これにより、変圧器の二次側への電力の供給も停止される。

【0017】

本発明の電源回路によると、電源回路を保護するための手段、即ち変圧器の二

次側の短絡を検出して二次側への電力の供給を停止するための手段は、変圧器の一次側に設けられており、変圧器の二次側に設けられない。

【0018】

これにより、電源回路をコンパクトにでき、電源回路を設けるためのスペースを低減させることができる。また、電源回路への電気機器の接続を容易とでき、電源回路の取り扱いを容易にできる。

【0019】

また、上記電源回路において、前記変圧器の一次側に、前記パワースイッチング素子の動作を制御するための第一のスイッチング素子を設け、

前記パワースイッチング素子を、電流が入力される入力端子及び電流を出力する出力端子を前記第一のコイルに直列になるように接続し、導通状態と非導通状態を制御するための制御端子を、前記第二のコイルの他方の端子より制御電圧が入力されるように接続するとともに、前記第一のスイッチング素子を介して接地に接続し、

前記異常検出手段が前記異常を検出すると、前記第一のスイッチング素子が導通状態とされ、前記パワースイッチング素子の制御端子を前記導通状態とされた第一のスイッチング素子によって接地することにより、前記パワースイッチング素子が非導通状態とされるように構成することができる（請求項2）。

【0020】

この発明の電源回路によると、前記異常検出手段が異常を検出すると、前記第一のスイッチング素子を導通状態とすることによって前記パワースイッチング素子を非導通状態にすることができる。

【0021】

これにより、パワースイッチング素子の動作を前記第一のスイッチング素子のオン、オフの動作によって制御することができる。これにより、異常検出手段による異常の検出に基づきパワースイッチング素子を制御する回路をコンパクトに構成することができる。

【0022】

また、上記第一のスイッチング素子を設けた電源回路において（請求項2）、

前記異常検出手段としてツエナーダイオードを設け、前記第二のコイル及び第三のコイル間の電圧状態に異常を生ずると、前記ツエナーダイオードが逆方向に導通し、該逆方向に導通したツエナーダイオードが電圧を出力することによって前記第一のスイッチング素子を導通状態とするようにすることができる（請求項3）。

【0023】

この発明の電源回路によると、異常検出手段をツエナーオードにより構成するので、前記異常を簡便な回路によって検出することができる。これにより、電源回路をコンパクトに構成できるとともに、製造コストを抑制することもできる。

【0024】

また、異常検出手段としてツエナーダイオードを設けた上記電源回路において（請求項3）、前記変圧器の一次側に、前記第一のスイッチング素子の導通状態を制御するための第二のスイッチング素子を設け、

該第二のスイッチング素子を、前記ツエナーダイオードが前記第二のコイルと第三のコイル間の電圧状態の異常を検出して電圧を出力すると、導通状態とされるように接続し、

該導通状態とされた第二のスイッチング素子によって前記第一のスイッチング素子を導通状態とするように構成することができる（請求項4）。

【0025】

この発明の電源回路によると、異常検出手段が異常を検出した場合に、第二のスイッチング素子を導通状態とすることによって第一のスイッチング素子を導通状態とし、パワースwitching素子を非導通状態とすることができる。

【0026】

これにより、前記ツエナーダイオードからの電圧の出力に基づく第二のスイッチング素子のオン、オフの動作によって、第一のスイッチング素子の動作を制御することができる。これにより、ツエナーダイオードの動作に基づき第一のスイッチング素子を制御するための回路を簡便に構成することができる。

【0027】

また、前記第一のスイッチング素子をトランジスタにより構成することができ

る（請求項5）。これにより、前記パワースイッチング素子の出力を制御する第一のスイッチング素子を接続する回路を簡便にできるとともに、電源回路の製造コストを抑制することもできる。

【0028】

また、前記第二のスイッチング素子をトランジスタにより構成することができる（請求項6）。これにより、前記第一のスイッチング素子の導通状態を制御する第二のスイッチング素子を接続する回路を簡便にできるとともに、電源回路の製造コストを抑制することができる。

【0029】

【発明の実施の形態】

本発明の実施の形態について、図面を参酌しつつ説明する。図1は、本発明の一実施形態である電源回路35の回路図である。電源回路35は、変圧器25とパワーFET（パワー電界効果トランジスタ）1とフィードバック回路10と第一のトランジスタ15と第二のトランジスタ14と第一の積分回路31と第二の積分回路32とツェナーダイオード13を備えている。

【0030】

変圧器25は、一次側に第一のコイルL1、第二のコイルL2、第三のコイルL3が設けられている。また、変圧器25は、二次側に第四のコイルL4、第五のコイルL5が設けられている。

【0031】

変圧器25は、第一のコイルL1に電圧が印加されると、第四のコイルL4と第五のコイルL5に、コイルL1とコイルL4とコイルL5との巻数の関係に従った電圧が誘導される。また、変圧器25の第二のコイルL2と第三のコイルL3には、コイルL2とコイルL3とコイルL5との巻数の関係に従った電圧が誘導される。

【0032】

変圧器25は、後に説明するパワーFET1が動作状態にあり、一次側と二次側の間で電力を伝達できる状態にあると、第四のコイルL4には、第一のコイルL1に印加される電圧に対してコイルL4とコイルL1との巻数の関係に従った

電圧が誘導される。

【0033】

また、変圧器 25 は、一次側と二次側の間で電力を伝達できる状態にあると、第二のコイル L2 及び第三のコイル L3 には、コイル L5 に誘導される電圧に対してコイル L2 とコイル L3 とコイル L5 の巻数の関係に従った電圧が誘導される。

【0034】

第一のコイル L1 は、図示されない電力源と接続されており、この電力源よりパルス電圧を印加される。第二のコイル L2 と第三のコイル L3 は、これらのコイルの一方の端子 5 を共通にし、この端子 5 が接地されている。そして、第二のコイル L2 と第三のコイル L3 は、コイルを巻回する方向が互いに逆方向になるように形成されている。

【0035】

即ち、第二のコイル L2 と第三のコイル L3 は、第二のコイル L2 の一方の端子 5 より他方の端子 4 に向かってコイルが巻回される方向と第三のコイル L3 の一方の端子 5 より他方の端子 6 に向かってコイルが巻回される方向とが互いに逆向きの関係となるように形成されている。これにより、第二のコイル L2 に誘導されるパルス電圧と第三のコイル L3 に誘導されるパルス電圧との間に 180 度の位相差を生ずる。

【0036】

また、第二のコイル L2 と第三のコイル L3 は、コイル L2 の巻数 N2 がコイル L3 の巻数 N3 より大きくされている。これにより、変圧器 25 が正常に動作している状態において、第二のコイル L2 に誘導されるパルス電圧の波高値が第三のコイル L3 に誘導されるパルス電圧の波高値より大きくなる。

【0037】

変圧器 25 の二次側の第四のコイル L4 は、高電圧用として設けられている。第四のコイル L4 の出力端子 26 は、高電圧用の出力端子である。変圧器の二次側の第五のコイル L5 は、低電圧用として設けられている。第五のコイル L5 の出力端子 27 は、低電圧用の出力端子である。

【0038】

そして、変圧器 25 の二次側の出力端子 26、27 には、各々に図示されない電気機器が接続され、これらの電気機器を変圧器 25 の二次側より出力される電力によって動作させることができる。

【0039】

パワー FET 1 は、変圧器 25 の一次側の第一のコイル L1 と第二のコイル L2 との間に接続されている。このパワー FET 1 は、変圧器 25 への電力の入力を制御するためのパワースイッチング素子にあたる。

【0040】

このパワー FET 1 は、各種の半導体スイッチング素子の中でも大電力を入出力できるものが用いられる。そして、パワー FET 1 は、後に説明する各端子 1d、1s、1g に数百 V 程度の高電圧を印加することができる。

【0041】

パワー FET 1 は、ドレイン端子 1d、ゲート端子 1g 及びソース端子 1s を備えている。ドレイン端子 1d は、第一のコイル L1 の出力端子 3 に接続されている。ドレイン端子 1d は、パワー FET 1 が動作している状態で、第一のコイル L1 からの電流を入力するための入力端子にあたる。

【0042】

ソース端子 1s は、抵抗 19 を介して接地されている。この抵抗 19 により、パワー FET 1 が動作している状態でソース端子 1s に一定の電圧を与え、動作を安定させることができる。ソース端子 1s は、パワー FET 1 が動作している状態で、電流を出力するための出力端子にあたる。

【0043】

ゲート端子 1g は、パワー FET 1 の動作を制御するための制御電圧が入力される制御端子にあたる。パワー FET 1 のゲート端子 1g は、後に説明する第一のトランジスタ 15 を介して接地に接続されている。

【0044】

また、パワー FET 1 のゲート端子 1g は、直列に接続された抵抗 7 及びコンデンサ 8 を介して第二のコイル L2 の他方の端子 4 に接続されている。抵抗 7 及

びコンデンサ 8 を設けることにより、起動電流がコイル L 2 を介して接地に流入することを防ぎ、コイル L 2 に形成された電圧パルスをより確実にパワー F E T 1 のゲート端子 1 g に入力することができる。

【0045】

パワー F E T 1 は、ゲート端子 1 g に所定の制御電圧が入力されると、導通状態となる。そして、パワー F E T 1 のドレイン端子 1 d とソース端子 1 s 間が導通状態となるので、コイル L 1 に電圧が印加されると、コイル L 1 よりドレイン端子 1 d を通ってソース端子 1 s より出力される電流を導通させることができる。

【0046】

そして、パワー F E T 1 に電流が導通して動作している状態にあると、変圧器 2 5 は、一次側のコイル L 1、L 2 及び L 3 と二次側のコイル L 4 及び L 5 間で電力を伝達することができる。

【0047】

一方、パワー F E T 1 は、ゲート端子 1 g に制御電圧が入力されない状態では導通状態とならず、パワー F E T 1 のドレイン端子 1 d とソース端子 1 s 間は導通状態とされない。従って、コイル L 1 に電圧が印加されても、コイル L 1 及びパワー F E T 1 に電流を導通させることができない。

【0048】

これにより、パワー F E T 1 が非導通状態とされ動作していない状態では、変圧器 2 5 は、一次側のコイル L 1、L 2 及び L 3 と二次側のコイル L 4 及び L 5 間で電力を伝達することができない。

【0049】

電源回路 3 5 には、図 1 に示されるように、フィードバック回路 1 0 が設けられている。フィードバック回路 1 0 は、変圧器 2 5 の二次側が過負荷や軽負荷となったこと等によって生ずる減電圧や過電圧を検出して変圧器 2 5 の一次側にフィードバックするための回路である。

【0050】

このフィードバック回路 1 0 として、変圧器を備える電源回路に設けられ、変

圧器の二次側の電圧を検出して一次側にフィードバックする公知のフィードバック回路を設けることができる。

【0051】

フィードバック回路10は、図1に示されるように、その出力端子がパワーFET1のソース端子1sに接続されている。また、フィードバック回路10は、二つの入力端子を備えている。

【0052】

フィードバック回路10の一つの入力端子は変圧器25の二次側の電圧を検出するためのモニター端子29に接続されている。また、フィードバック回路10の他の一つの入力端子は、後に説明するダイオード9のカソード側とコンデンサ11及び抵抗12の一方の端子とに接続されている。

【0053】

第一のトランジスタ15は、パワーFET1の動作を制御する。即ち、第一のトランジスタ15は、その導通状態に応じて、パワーFET1を導通状態とし、また非導通状態とする。

【0054】

第一のトランジスタ15は、ベース端子15bとエミッタ端子15eとコレクタ端子15cを備えている。ベース端子15bは、抵抗18を介して後に説明する第二のトランジスタ14のコレクタ端子14cに接続されている。

【0055】

また、ベース端子15bは、抵抗16を介して接地に接続されるとともに、電解コンデンサ17を介して接地に接続されている。この抵抗16及び電界コンデンサ17により、第二のトランジスタ14より出力されベース端子15bに入力される電圧のレベルを安定させることができる。

【0056】

抵抗18はトランジスタ15のベース抵抗である。抵抗18と電解コンデンサ17との組み合わせに基づく時定数により、トランジスタ15を導通状態とするタイミングが調整される。

【0057】

第一のトランジスタ 15 のエミッタ端子 15 e は接地に接続されている。また、第一のトランジスタ 15 のコレクタ端子 15 c は、前記パワー FET 1 のゲート端子 1 g に接続されている。

【0058】

第一のトランジスタ 15 は、後に説明する第二のトランジスタ 14 が導通状態とされて第二のトランジスタ 14 より電圧が出力されると、この電圧がトランジスタ 15 に対する動作信号としてベース端子 15 b に入力され導通状態とされる。

【0059】

そして、第一のトランジスタ 15 が導通状態とされると、第一のトランジスタ 15 のコレクタ端子 15 c とエミッタ端子 15 e 間が導通状態とされる。これにより、第一のトランジスタ 15 のコレクタ端子 15 c が接地と導通する。これにより、パワー FET 1 は、制御端子 1 g が接地され、制御電圧が入力されず、非導通状態とされる。

【0060】

一方、第一のトランジスタ 15 は、第二のトランジスタ 14 より電圧が出力されない場合には、ベース端子 15 b への電圧の入力がないので、導通状態とされない。

【0061】

そして、この場合には、第一のトランジスタ 15 のコレクタ端子 15 c とエミッタ端子 15 e 間は導通状態とされず、第一のトランジスタ 15 のコレクタ端子 15 c は接地されない。これにより、パワー FET 1 の制御端子 1 g に制御電圧を入力することができ、パワー FET 1 を導通状態とすることができる。

【0062】

この第一のトランジスタ 15 は、パワー FET 1 の動作を制御するための第一のスイッチング素子にあたる。

【0063】

第二のトランジスタ 14 は、第一のトランジスタ 15 の動作を制御する。即ち、第二のトランジスタ 14 は、その導通状態に応じて、第一のトランジスタ 15

を導通状態とし、また非導通状態とする。

【0064】

第二のトランジスタ14は、ベース端子14bとエミッタ端子14eとコレクタ端子14cを備えている。第二のトランジスタ14のベース端子14bは、直列に接続された抵抗20及びダイオード21を介して第三のコイルL3の他方の端子6に接続されている。抵抗20は、トランジスタ14のベース抵抗である。抵抗20によりトランジスタ14を導通状態とする電流が調整される。

【0065】

第二のトランジスタ14のコレクタ端子14cは、抵抗18を介して前記トランジスタ15のベース端子15bに接続されている。第二のトランジスタ14のエミッタ端子14eは、ツェナーダイオード13及びダイオード9を介して第二のコイルL2の他方の端子4に接続されている。

【0066】

第二のトランジスタ14は、後に説明するダイオード21及び第二の積分回路32により平滑化された一定レベルの電圧がベース端子14bに入力される。また、第二のトランジスタ14は、後に説明するツェナーダイオード13より一定電圧値以上の電圧がエミッタ端子14eに入力されると、ベース端子14bとエミッタ端子14eとの電位差に応じて導通状態とされる。

【0067】

そして、第二のトランジスタ14が導通状態とされると、エミッタ端子14eより入力された電圧がコレクタ端子14cより出力され、この電圧は第一のトランジスタ15のベース端子15bに入力される。

【0068】

この第二のトランジスタ14は、第一のトランジスタ15の動作を制御するための第二のスイッチング素子にあたる。

【0069】

電源回路35には、第一の積分回路31が設けられている。第一の積分回路31は、第二のコイルL2に誘導されるパルス電圧を積分して平滑化された電圧にする。第一の積分回路31は、並列に接続されるコンデンサ11と抵抗12によ

り構成される。

【0070】

第一の積分回路 31 を構成するコンデンサ 11 及び抵抗 12 は、これらの方の端子がダイオード 9 を介して第二のコイル L2 の他方の端子 4 に接続され、コンデンサ 11 及び抵抗 12 の他方の端子は接地されている。

【0071】

即ち、図 1 に示されるように、第二のコイル L2 の他方の端子 4 とダイオード 9 のアノード側が接続されており、コンデンサ 11 及び抵抗 12 の一方の端子はダイオード 9 のカソード側に接続されている。

【0072】

そして、第二のコイル L2 の他方の端子 4 に誘導される電圧のうちダイオード 9 を通って第一の積分回路 31 に入力される正電位をとる部分が積分回路 31 によって積分され、平滑化された電圧とされる。この積分回路 31 により平滑化された電圧は後に説明するツェナーダイオード 13 に逆方向に、即ちカソード側に印加される。

【0073】

また、電源回路 35 には、第二の積分回路 32 が設けられている。第二の積分回路 32 は、第三のコイル L3 に誘導されるパルス電圧を積分して平滑化された電圧にする。第二の積分回路 32 は、並列に接続されるコンデンサ 22 と抵抗 23 により構成される。

【0074】

第二の積分回路 32 を構成するコンデンサ 22 及び抵抗 23 は、これらの方の端子がダイオード 21 を介して第三のコイル L3 の他方の端子 6 に接続され、コンデンサ 22 及び抵抗 23 の他方の端子は接地されている。

【0075】

即ち、図 1 に示されるように、第三のコイル L3 の他方の端子 6 とダイオード 21 のアノード側が接続されており、コンデンサ 22 及び抵抗 23 の一方の端子はダイオード 21 のカソード側に接続されている。

【0076】

そして、第三のコイル L 3 の他方の端子 6 に誘導される電圧のうちダイオード 2 1 を通って第二の積分回路 3 2 に入力される正電位をとる部分が積分回路 3 2 によって積分され、平滑化された電圧とされる。この積分回路 3 2 により平滑化された電圧は、前記第二のトランジスタ 1 4 を介して後に説明するツエナーダイオード 1 3 に順方向に、即ちアノード側に印加される。

【0077】

ツエナーダイオード 1 3 は、第二のコイル L 2 の他方の端子 4 と第三のコイル L 3 の他方の端子 6 との間の電圧状態の異常を検出する。ツエナーダイオード 1 3 は、第二のコイル L 2 と第三のコイル L 3 との間の電圧状態の異常を検出するための異常検出手段にあたる。

【0078】

ツエナーダイオード 1 3 は、カソード側が前記ダイオード 9 のカソード側及び前記積分回路 3 1 の一方の端子に接続されており、アノード側が前記第二のトランジスタ 1 4 のエミッタ端子 1 4 e に接続されている。

【0079】

即ち、ツエナーダイオード 1 3 は、第二のコイル L 2 の他方の端子 4 に対して逆方向となり、第三のコイル L 3 の他方の端子 6 に対して順方向となるように接続されている。

【0080】

この電源回路 3 5 では、ツエナーダイオード 1 3 の逆方向の耐圧 V_{tz} と第一の積分回路 3 1 より出力される電圧と第二の積分回路 3 2 より出力される電圧とは、以下の関係を満たすように調整される。

【0081】

即ち、電源回路 3 5 が正常に動作している場合にはツエナーダイオード 1 3 の逆方向に印加される電圧が逆方向の耐圧 V_{tz} より小さくなり、電源回路 3 5 の二次側に異常が生じた場合にはツエナーダイオード 1 3 の逆方向に印加される電圧が逆方向の耐圧 V_{tz} より大きくなるように調整される。

【0082】

より詳しく説明すると、電源回路 3 5 が変圧器 2 5 の二次側で短絡を生じず正

常に動作している場合の第一の積分回路 3.1 の出力 V_{N1} と第二の積分回路 3.2 の出力 V_{N2} との差に基づき、ツエナーダイオード 1.3 の逆方向に印加される電圧よりツエナーダイオード 1.3 の逆方向の耐圧 V_{tz} が大きくなるように調整される。

【0083】

そして、電源回路 3.5 が変圧器 2.5 の二次側で短絡を生じて正常に動作していない場合の第一の積分回路 3.1 の出力 V_{AB1} と第二の積分回路 3.2 の出力 V_{AB2} との差に基づき、ツエナーダイオード 1.3 の逆方向に印加される電圧よりツエナーダイオード 1.3 の逆方向の耐圧 V_{tz} が小さくなるように調整される。

【0084】

これにより、ツエナーダイオード 1.3 は、変圧器 2.5 の二次側で短絡を生じ、変圧器 2.5 の一次側の第二のコイル L.2 と第三のコイル L.3 間の電圧状態が変化すると、ツエナーダイオード 1.3 の逆方向に導通を生ずる。

【0085】

これにより、変圧器 2.5 の二次側に短絡を生じ、電源回路 3.5 に異常が生じたことを検出することができる。そして、ツエナーダイオード 1.3 が逆方向に導通すると、ツエナーダイオード 1.3 より第二のトランジスタ 1.4 に電圧が出力され、第二のトランジスタ 1.4 が導通状態とされる。

【0086】

以上の電圧 V_{tz} 、 V_{N1} 、 V_{N2} 、 V_{AB1} 、 V_{AB2} の具体例を挙げると、例えば $V_{tz} = 8.2 \text{ V}$ 、 $V_{N1} = 1.5 \text{ V}$ 、 $V_{N2} = 1.0 \text{ V}$ 、 $V_{AB1} = 1.6 \text{ V}$ 、 $V_{AB2} = 5 \text{ V}$ に設定することができる。

【0087】

次に、この電源回路 3.5 の動作の例について説明する。まず、電源回路 3.5 が正常に動作している場合について説明する。変圧器 2.5 の第一のコイル L.1 にパルス電圧が印加されると、コイル L.4 及びコイル L.5 の各々に、コイル L.1 と L.4 と L.5 の巻数の関係に従った電圧が誘導される。また、コイル L.2 及びコイル L.3 の各々に、コイル L.2 と L.3 と L.5 の巻数の関係に従った電圧が誘導される。

【0088】

そして、コイルL2の電圧が出力端子4より抵抗7及びコンデンサ8を介してパワーFET1のゲート端子1gにされる。これにより、パワーFET1が導通状態となり、変圧器25の各コイルに電流を導通させることができ、変圧器25は電力を供給されることができ.

【0089】

ここで、変圧器25に正常に電力が供給されている場合におけるコイルL2及びコイルL3のパルス電圧の波形を図2に示す。図2において、横軸は時間に対応しており、縦軸は電圧値に対応している。また、横軸上は電位が0であることを表し、横軸より上側は正電位を、横軸より下側は負電位であることを表している。

【0090】

図2(a)に示される波形は、コイルL2の他方の端子4の電位の変化を示しており、コイルL2に誘導されるパルス電圧である。また、図2(b)に示される波形は、コイルL3の他方の端子6の電位の変化を示しており、コイルL3に誘導されるパルス電圧である。

【0091】

図2に示されるように、コイルL2に誘導される電圧の波高値はコイルL3に誘導される電圧の波高値より大きい。また、図2に示されるように、コイルL2に誘導されるパルス電圧とコイルL3に誘導されるパルス電圧は180度の位相差を生ずる。

【0092】

また、図2に示されるように、コイルL2に誘導される電圧のパルス幅（パルス電圧のデューティ）はコイルL3に誘導される電圧のパルス幅（パルス電圧のデューティ）より小さい。

【0093】

そして、第二のコイルL2に誘導されたパルス電圧のうち正電位となる部分がダイオード9を通して第一の積分回路31に入力され、第一の積分回路31により積分される。また、第三のコイルL3に誘導されたパルス電圧のうち正電位と

なる部分が、ダイオード 21 を通って第二の積分回路 32 に入力され積分される。

【0094】

第一の積分回路 31 及び第二の積分回路 32 により積分して得られる電圧を図 3 に示す。図 3 において、横軸は時間に対応しており、縦軸は電圧値に対応している。また、図 3 において、横軸上は電位が 0 であることを表し、横軸より上側は正電位であることを表している。図 3 (a) は第一の積分回路 31 により積分された後の電圧の波形である。図 3 (b) は第二の積分回路 32 により積分された後の電圧の波形である。

【0095】

図 3 (a) に示されるように、第一の積分回路 31 で積分された後の電圧は、電圧値 V_{N1} の一定レベルに平滑化された電圧となる。図 3 (b) に示されるように、第二の積分回路 32 で積分された後の電圧は、電圧値 V_{N2} の一定レベルに平滑化された電圧となる。

【0096】

上記第一の積分回路 31 の出力 V_{N1} と第二の積分回路 32 の出力 V_{N2} の差に基づく電圧は、ツエナーダイオード 13 の逆方向に印加されるが、ツエナーダイオード 13 の逆方向の耐圧 V_{tz} 以下であり、ツエナーダイオード 13 を逆方向に導通させることができない。

【0097】

そして、ツエナーダイオード 13 が逆方向に導通しないので、第二のトランジスタ 14 は導通状態とされない。これにより、第一のトランジスタ 15 は導通状態とされず、パワー FET 1 の導通状態が維持され、変圧器 25 への電力の供給が維持される。これにより、電源回路 35 は正常に動作し続ける。

【0098】

次に、電源回路 35 に異常が生じた場合、即ち、変圧器 25 の二次側に短絡を生じた場合について説明する。電源回路 35 が以上に説明したように正常に動作している状態で変圧器 25 の二次側に短絡を生ずると、変圧器 25 の一次側の第二のコイル L2 及び第三のコイル L3 の電圧状態に変化を生ずる。

【0099】

図4は、変圧器25の二次側に短絡を生じた場合における、コイルL2及びコイルL3に生ずるパルス電圧の波形を示している。図4において、横軸は時間に対応しており、縦軸は電圧値に対応している。また、横軸上は電位が0であることを表し、横軸より上側は正電位を、横軸より下側は負電位であることを表している。

【0100】

図4(a)に示される波形は、コイルL2の他方の端子4の電位の変化を示しており、コイルL2に誘導されるパルス電圧である。また、図4(b)に示される波形は、コイルL3の他方の端子6の電位の変化を示しており、コイルL3に誘導されるパルス電圧である。

【0101】

図4に示されるように、コイルL2に誘導されるパルス電圧とコイルL3に誘導されるパルス電圧は180度の位相差を生ずる。また、図4に示されるように、コイルL2に誘導される電圧のパルス幅（パルス電圧のデューティ）はコイルL3に誘導される電圧のパルス幅（パルス電圧のデューティ）より大きい。

【0102】

そして、第二のコイルL2に誘導されたパルス電圧は、第一の積分回路31により積分される。また、第三のコイルL3に誘導されたパルス電圧は、第二の積分回路32により積分される。第一の積分回路31及び第二の積分回路32により積分して得られる電圧を図5に示す。

【0103】

図5において、横軸は時間に対応しており、縦軸は電圧値に対応している。また、図5において、横軸上は電位が0であることを表し、横軸より上側は正電位であることを表している。図5(a)は第一の積分回路31により積分された後の電圧の波形である。図5(b)は第二の積分回路32により積分された後の電圧の波形である。

【0104】

図5(a)に示されるように、第一の積分回路31で積分された後の電圧は、

電圧値 V_{AB1} の一定レベルに平滑化された電圧となっている。図 5 (b) に示されるように、第二の積分回路 32 で積分された後の電圧は、電圧値 V_{AB2} の一定レベルに平滑化された電圧となっている。

【0105】

そして、第一の積分回路 31 の出力 V_{AB1} と第二の積分回路 32 の出力 V_{AB2} との差に基づく電圧は、ツエナーダイオード 13 に逆方向に印加され、この電圧はツエナーダイオード 13 の逆方向の耐圧 V_{tz} を越える。これにより、ツエナーダイオード 13 を逆方向に導通させることができる。

【0106】

これにより、積分回路 31 より出力されツエナーダイオード 13 に逆方向に印加される電圧 V_{AB1} がトランジスタ 14 のエミッタ端子 14e に印加される。そして、トランジスタ 14 は、上記電圧 V_{AB1} と V_{AB2} との差により導通状態とされる。

【0107】

そして、トランジスタ 14 のコレクタ端子 14c より出力された電圧がトランジスタ 15 のベース端子 15b に入力され、トランジスタ 15 が導通状態とされる。これにより、トランジスタ 15 のコレクタ端子 15c とエミッタ端子 15e が導通状態となり、コレクタ端子 15c が接地に接続される。

【0108】

これにより、パワー FET 1 は、ゲート端子 1g が接地されて制御電圧が入力されず、非導通状態とされる。これにより、変圧器 25 のコイル L1 及びパワー FET 1 に電流を導通させることができず、変圧器 25 は電力を供給されることができない。これにより、電源回路 35 は、動作を停止する。

【0109】

これにより、変圧器 25 の二次側に短絡を生じた状態で電源回路 35 が動作し続けることを防ぐことができ、電源回路 35 が焼損する等を防ぐことができる。そして、この電源回路 35 によると、変圧器 25 の二次側に短絡を生ずると、この異常が生じたことを変圧器 25 の一次側に設けられる回路によって検出し電源回路 35 の動作を停止させることができる。

【0110】

即ち、この電源回路35によると、変圧器25の二次側に異常が生じたことを検出する手段を二次側に設ける必要がない。これにより、この電源回路35によると、変圧器25の二次側がコンパクトにされており、電源回路35を設けるスペースを低減することができる。

【0111】

また、この電源回路35によると、変圧器25の二次側がコンパクトにされているので、変圧器25の二次側に電気機器を接続するにあたり容易に接続することができ、電源回路35の取り扱いが容易である。

【0112】

以上の説明では、パワースイッチング素子1としてパワーFETを用いる例を挙げた。本発明を実施するにあたり、パワースイッチング素子1としてパワーFET以外の素子を用いることもできる。

【0113】

即ち、パワースイッチング素子1は、制御端子と入力端子と出力端子を備え、制御端子に制御電圧が入力されて導通状態になると、入力端子より電流を入力して出力端子より出力させることができ、大電力を入出力することが可能なスイッチング素子であればよい。例えば、パワーFET以外のパワースイッチング素子として、パワートランジスタを用いることもできる。

【0114】

また、以上の説明では、第一のスイッチング素子15としてNPNトランジスタを用いる例を挙げたが、第一のスイッチング素子15としてPNPトランジスタを用いることもできる。

【0115】

また、第一のスイッチング素子15として、トランジスタ以外の半導体スイッチング素子を用いることもできる。即ち、第一のスイッチング素子15は、第二のスイッチング素子14より出力される電圧が動作信号として入力される端子と、パワースイッチング素子1の出力端子に接続される端子と、接地に接続される端子とを備え、第二のスイッチング素子14より電圧が入力されると導通状態と

なることによって、パワースイッチング素子 1 の出力端子を接地に導通させることができるスイッチング素子であればよい。

【0116】

また、以上の説明では、第二のスイッチング素子 14 として PNP トランジスタを用いる例を挙げたが、第二のスイッチング素子 14 として NPN トランジスタを用いることもできる。

【0117】

また、第二のスイッチング素子 14 として、トランジスタ以外の半導体スイッチング素子を用いることもできる。即ち、第二のスイッチング素子 14 は、ツェナーダイオード 13 より出力される電圧が入力される端子と、第二の積分回路より出力される電圧が入力される端子と、第一のスイッチング素子 15 に電圧を出力する端子とを備え、異常検出手段 13 より出力される電圧と第二の積分回路 32 より出力される電圧との差に基づいて導通状態となることにより、第一のスイッチング素子 15 を導通状態にするように制御するスイッチング素子であればよい。

【0118】

また、以上の説明では、異常検出手段 13 としてツェナーダイオードを設ける例を挙げた。異常検出手段 13 は、ツェナーダイオード以外であっても、所定の設定値に基づいて第二のコイル L2 と第三のコイル L3 間の電圧状態の異常を検出することができればよい。そして、異常検出手段 13 により前記電圧の異常を検出すると、第二のスイッチング素子 14 を導通状態として第一のスイッチング素子 15 を導通状態にできればよい。

【0119】

また、以上の説明では、異常検出手段 13 が異常を検出すると、第二のスイッチング素子 14 を導通状態とすることによって第一のスイッチング素子 15 を導通状態とする例を挙げた。本発明を実施するにあたり、必ずしも第二のスイッチング素子 14 を設ける必要はない。即ち、第二のスイッチング素子 14 を設けることなく、異常検出手段 13 が異常を検出すると、第一のスイッチング素子 15 を導通状態とするようにしてもよい。

【0120】**【発明の効果】**

以上説明したように、本発明の電源回路によると、その変圧器の二次側に生じた異常を検出する手段が変圧器の一次側に設けられ、変圧器の二次側がコンパクトにされている。

【0121】

これにより、本発明の電源回路によると、電源回路を設けるためのスペースを低減させることができるという効果を奏する。また、電源回路への電気機器の接続を容易とすることができ、電源回路の取り扱いが容易になるという効果も奏する。

【図面の簡単な説明】**【図1】**

本発明の一実施形態である電源回路の回路図である。

【図2】

電源回路の変圧器の一次側の電圧の波形を示す図である。

図2 (a) は、変圧器一次側の第二のコイルの電圧の波形を示す。

図2 (b) は、変圧器一次側の第三のコイルの電圧の波形を示す。

【図3】

正常に動作している場合の積分回路により積分された電圧の波形を示す図である。

図3 (a) は、第一の積分回路により積分された電圧を示す。

図3 (b) は、第二の積分回路により積分された電圧を示す。

【図4】

変圧器の二次側に異常を生じた場合の変圧器の一次側の電圧を示す図である。

図4 (a) は、変圧器一次側の第二のコイルの電圧の波形を示す。

図4 (b) は、変圧器一次側の第三のコイルの電圧の波形を示す。

【図5】

異常を生じた場合の積分回路により積分された電圧の波形を示す図である。

図5 (a) は、第一の積分回路により積分された電圧を示す。

図5 (b) は、第二の積分回路により積分された電圧を示す。

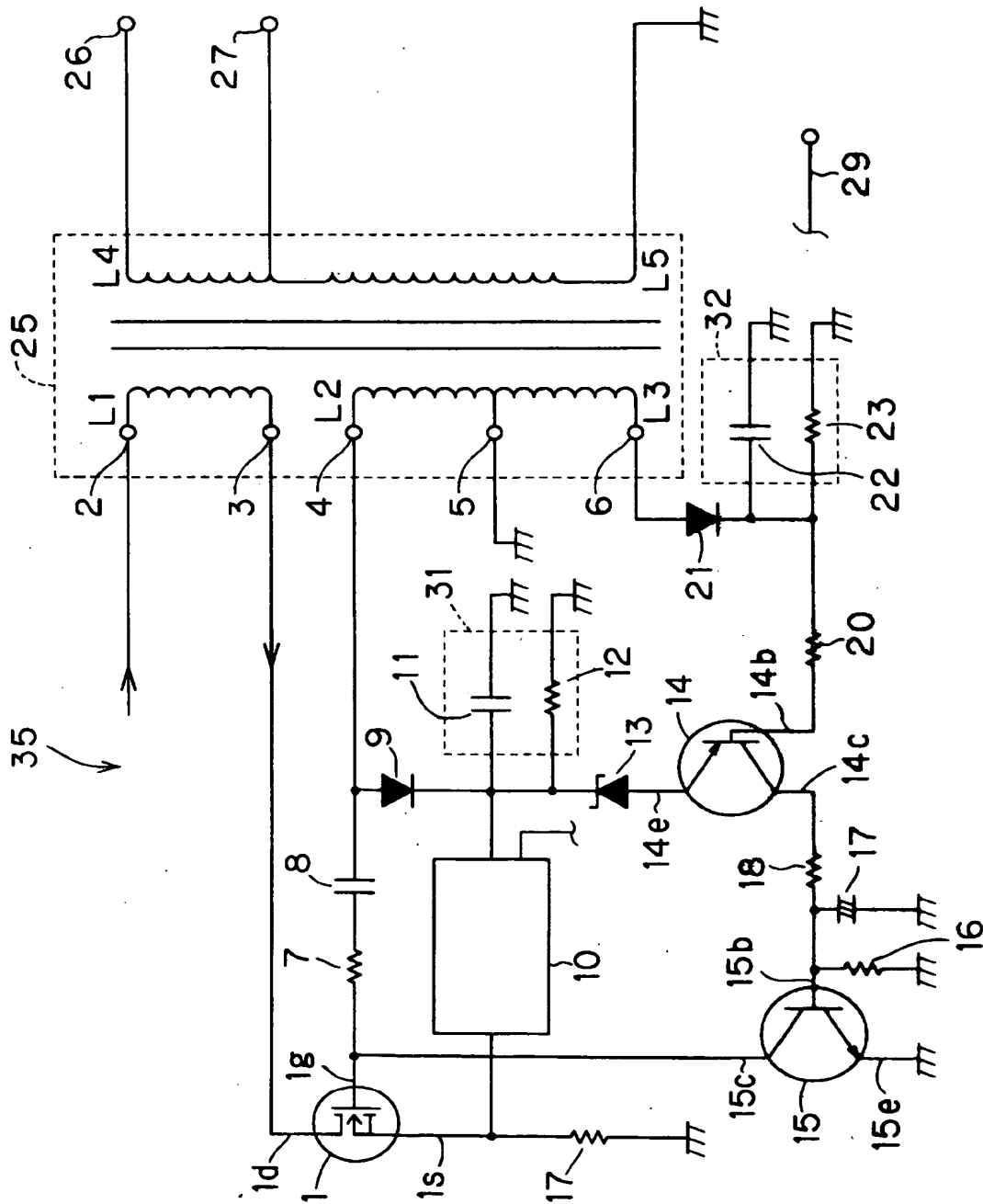
【符号の説明】

- 1 パワー F E T
- 1 d ドレイン端子
- 1 g ゲート端子
- 1 s ソース端子
- 2 第一のコイル L 1 の入力端子
- 3 第一のコイル L 1 の出力端子
- 4 第二のコイル L 2 の他方の端子
- 5 第二のコイル L 2 及び第三のコイル L 3 の一方の端子 (共通接地端子)
- 6 第三のコイルの他方の端子
- 7 抵抗
- 8 コンデンサ
- 9 ダイオード
- 10 フィードバック回路
- 11 コンデンサ
- 12 抵抗
- 13 ツエナーダイオード
- 14 第二のトランジスタ
- 14 b ベース端子
- 14 c コレクタ端子
- 14 e エミッタ端子
- 15 第一のトランジスタ
- 15 b ベース端子
- 15 c コレクタ端子
- 15 e エミッタ端子
- 16 抵抗

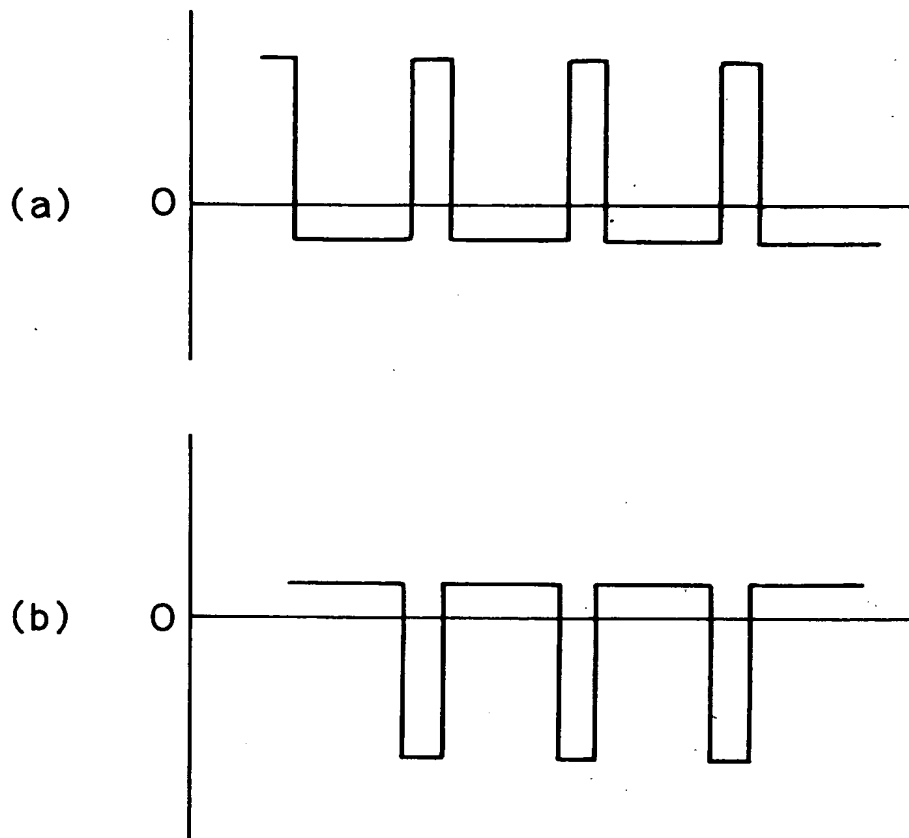
- 1 7 電解コンデンサ
- 1 8 抵抗
- 2 1 ダイオード
- 2 2 コンデンサ
- 2 3 抵抗
- 2 5 変圧器
- 2 6 変圧器二次側の高圧端子
- 2 7 変圧器二次側の低圧端子
- 2 9 モニター端子
- 3 1 第一の積分回路
- 3 2 第二の積分回路
- 3 5 電源回路

【書類名】 図面

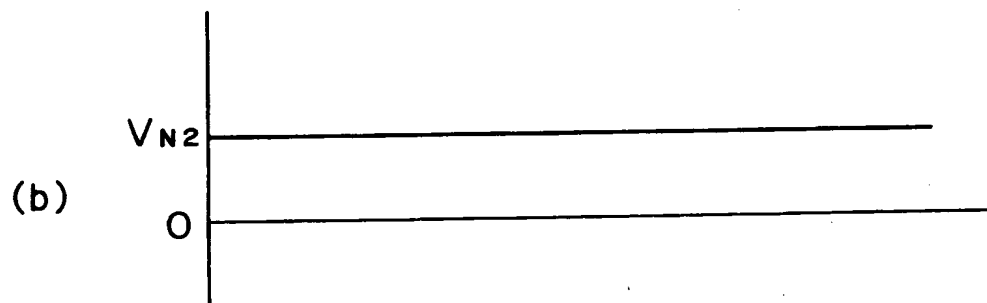
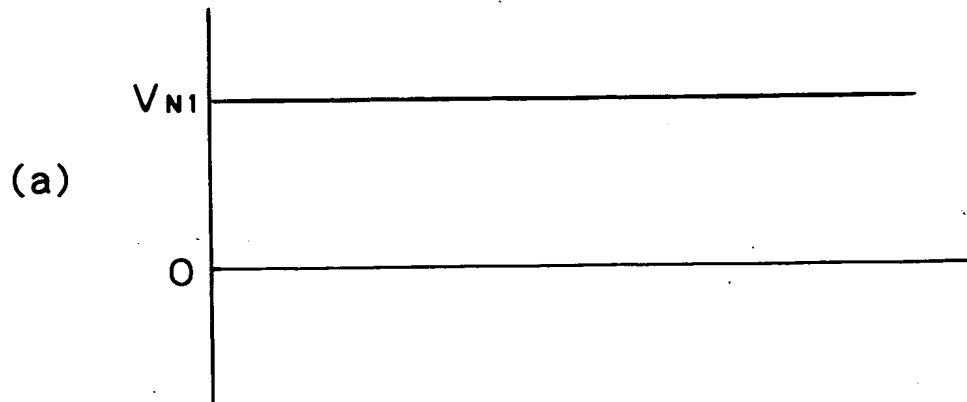
【図 1】



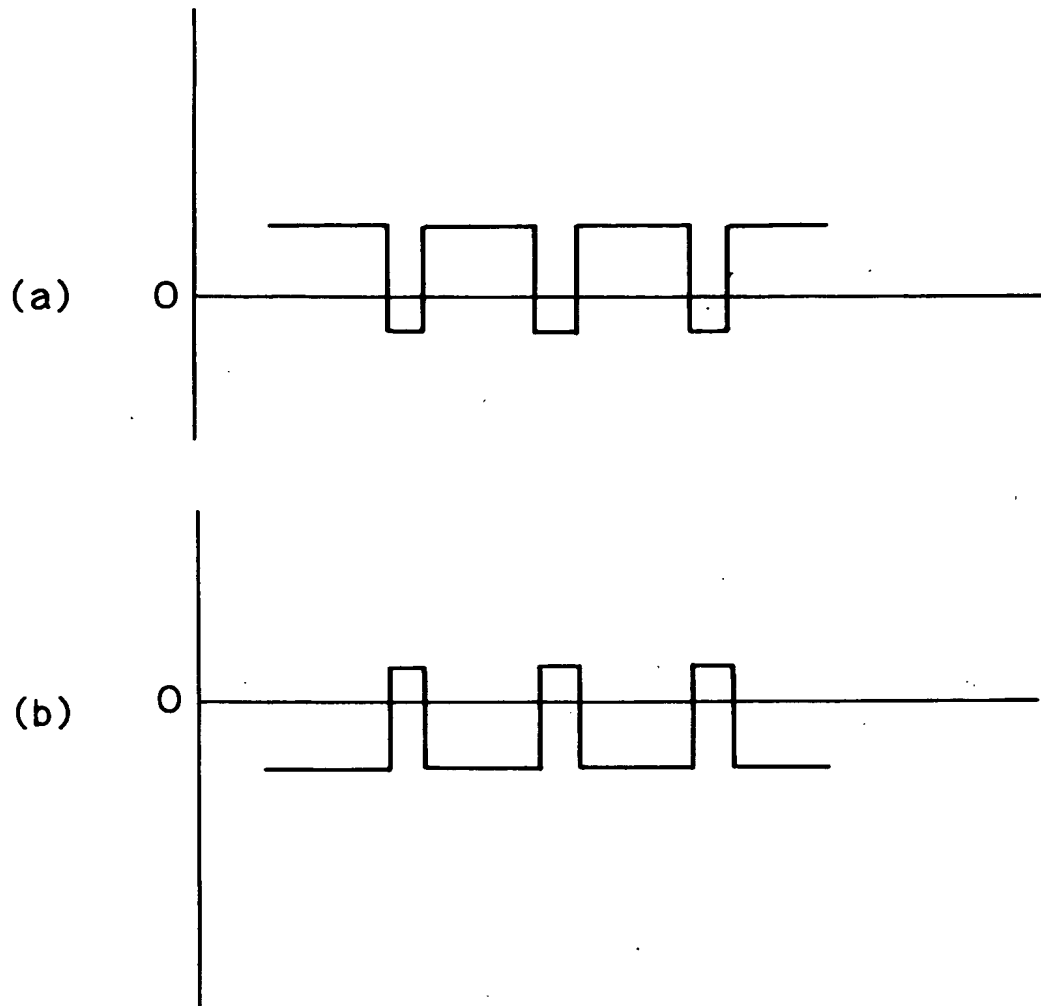
【図 2】



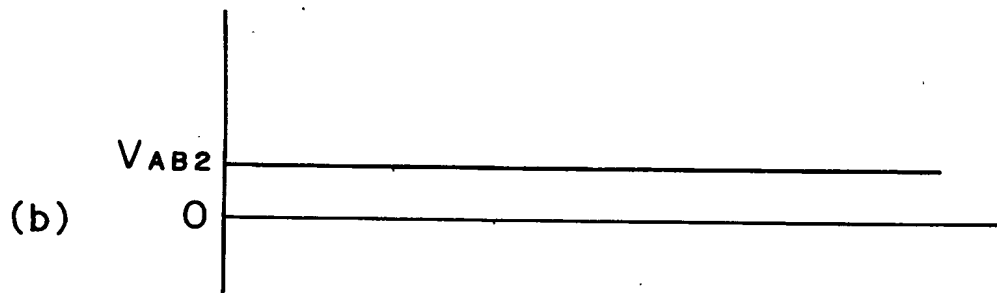
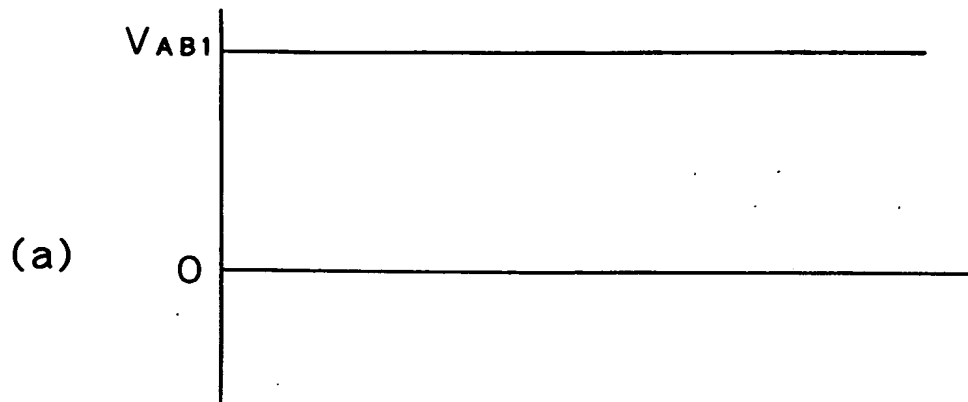
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 電源回路の変圧器の二次側に短絡を生じた場合に、電源回路を保護するための回路を設けるスペースを低減し、かかる回路をコンパクトにすることができる電源回路を提供することである。

【解決手段】 電源回路 35 に設けられる変圧器 25 の一次側に第一のコイル L1、第二のコイル L2、第三のコイル L3 を設ける。また、変圧器 25 の二次側に一次側の複数のコイルに対応する複数のコイルを設ける。

また、電源回路 35 の一次側に、変圧器 25 への電力の入力を制御するパワースイッチング素子 1 と、第二のコイル L2 の電圧を積分する第一の積分回路 31 と第三のコイルの電圧を積分する第二の積分回路 32 と、積分回路 31 の出力及び積分回路 32 の出力に基づき第二のコイル L2 及び第三のコイル L3 間の電圧状態の異常を検出する異常検出手段 13 を設ける。

そして、異常検出手段 13 が電圧状態の異常を検出すると、パワースイッチング素子 1 を非導通状態とすることにより、変圧器 25 への電力の入力が停止されるようにする。

【選択図】 図 1

特願 2 0 0 2 - 2 8 2 6 6 2

出 願 人 履 歴 情 報

識別番号

[3 9 0 0 0 1 9 5 9]

1. 変更年月日

1 9 9 0 年 9 月 1 7 日

[変更理由]

新規登録

住 所

福井県武生市家久町 4 1 号 1 番地

氏 名

オリオン電機株式会社